

حل تشریحی سوالات معماری کامپیوتر آزمون دکتری معماری سیستم‌های کامپیوتری سال ۹۹

۱۱) در یک پردازنده با واحد کنترل ریز برنامه‌سازی شده، طول قالب ریز دستورالعمل 140 بیت و حجم میکرو حافظه 1024 ریز دستورالعمل است. با استفاده از تکنیک نانو حافظه و حداکثر فشردگی سازی حجم میکرو حافظه را به 10 درصد حجم اولیه آن کاهش می‌دهیم. طول micro-OPCODE چند بیت است؟

- ۱) 3
۲) 4
۳) 5
۴) 6

این تست مشابه تست زیر است که در نکته و تست درس معماری کامپیوتر جلسه پنجم حل شده است.

(دکتری معماری کامپیوتر ۹۵) در یک سیستم رقمی که مدار کنترل آن به صورت زیر برنامه‌سازی شده طرح شده است، تعداد ۱۹۷ سیگنال کنترل وجود دارد. حجم ریز حافظه 2^{17} ریز دستور است. اگر الگوی متفاوت از فعالیت سیگنال‌های کنترل داشته باشیم، و از تکنیک نانو حافظه (nano-memory) برای کاهش حجم ریز حافظه استفاده کنیم، حجم بیتی ریز حافظه به ۱۰٪ کاهش می‌یابد. طول فیلد micro-Opcode در قالب ریز دستورات چند بیت است؟

- ۱) ۳
۲) ۴
۳) ۵

۴) با این اطلاعات قابل تعیین نیست.

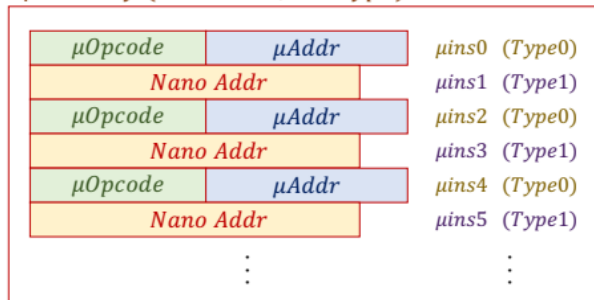
حل تست ۱۱- (گزینه ۲) حجم ریز حافظه قبل از استفاده از حافظه نانو برابر است با:

$$\mu MemSize = \# \mu ins \times Max((\mu OpCodeField + \mu AddrField), ControlWord)$$

$$\mu MemSize = 1024 \times Max((x + \log_2 1024), 140) = 1024 \times 140$$

با توجه به شکل زیر حجم ریز حافظه بعد از استفاده از حافظه نانو حل می‌شود.

$\mu Memory$ (with Nano, 2 – Type)



$$\mu MemSize_{Nano} = \# \mu ins \times Max((\mu OpCodeField + \mu AddrField), NanoAddr)$$

$$\mu MemSize_{Nano} = 1024 \times Max((x + \log_2 1024), NanoAddr) = 1024(x + 10)$$

با توجه به اینکه حجم ریز حافظه 0.1 حجم اولیه است:

$$\mu MemSize_{Nano} = 0.1 \mu MemSize \rightarrow 1024(x + 10) = 0.1 \times 1024 \times 140 \rightarrow x = 4$$

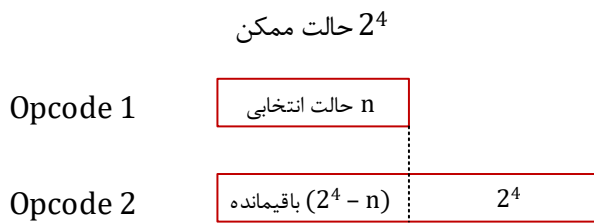
در کلاس درس و نکته و تست معماری گفتم که نظر طراح بر این است که ریز دستورات به صورت دونوعی هستند و در صورتی که از $\mu opcode$ صحبتی نشود آن را در نظر نگیرید. که البته در این مساله صراحتاً بخش $\mu opcode$ در نظر گرفته شده است.

۱۲- ماشینی دارای دو قالب دستور نوع A و B است. طول OPCODE در قالب A چهار بیت و در قالب B هشت بیت است. با فرض استفاده کامل از فیلد OPCODE توسط دستورات ماشین، کدام گزینه در خصوص گزاره‌های زیر درست است؟

- گزاره اول: حداقل تعداد دستورات در قالب A و B به ترتیب 1 و 16 است.
 گزاره دوم: حداکثر تعداد دستورات در قالب A و B به ترتیب 15 و 240 است.
 (۱) هر دو گزاره اول و دوم درست هستند.
 (۲) گزاره اول نادرست و گزاره دوم درست است.
 (۳) گزاره اول درست و گزاره دوم نادرست است.
 (۴) هر دو گزاره اول و دوم نادرست هستند.

این تست مشابه تست‌های مختلفی است که در جلسه سوم نکته و تست معماری کامپیوتر توضیح داده‌ام. اسلایدهای ۹ تا ۱۵ بخش دوم جلسه سوم را نگاه کنید.

حل تست ۱۲ - (گزینه ۱)



بر اساس شکل بالا تعداد حداقل و حداکثر Opcode1 بین ۱ تا ۱۵ است.

تعداد حداقل و حداکثر Opcode2 هم بین ۱۶ تا 15×16 یعنی ۲۴۰ است. پس هر دو گزاره صحیح هستند.

۱۳- در ضرب دو عدد دودویی مکمل دو 16 بیتی 1011100110001111 و 0111110110101100 به روش Booth.

حداقل تعداد عمل جمع و حداکثر تعداد عمل تفریق ممکن کدام است؟

(۱) 3 جمع و 3 تفریق (۲) 3 جمع و 4 تفریق (۳) 4 جمع و 3 تفریق (۴) 4 جمع و 4 تفریق

این مساله در آموزش معماری کامپیوتر و هم چنین در نکته و تست بررسی کامل شده است.

حل تست ۱۳- (گزینه ۲)

$$A = \begin{array}{cccccccccccc} 0 & 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 0 & .0 \\ + & & & & & & + & & & - & - & & & & & & \end{array}$$

$$B = \begin{array}{cccccccccccc} 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & .0 \\ - & & & & & - & + & & - & & & + & & & & & - \end{array}$$

اگر $A \times B$ شود و B به عنوان multiplier در نظر گرفته شود، سه جمع و ۴ تفریق نیاز است.

اگر $B \times A$ شود و A به عنوان multiplier در نظر گرفته شود، چهار جمع و ۴ تفریق نیاز است.

بنابراین حداقل عمل جمع ۳ و حداکثر عمل تفریق ۴ خواهد بود.

۱۴- کدام گزینه در خصوص گزاره‌های داده شده درست است؟

(A) در هر پردازنده دارای دستورات خاص I/O، می‌توان به روش memory-mapped I/O با دستگاه‌های I/O تبادل داده کرد.

(B) در روش DMA (Direct Memory Access) پردازنده اصلی درگیر بررسی آمادگی دستگاه I/O برای تبادل داده می‌شود، اما درگیر تبادل داده نمی‌شود.

(۱) هر دو گزاره A و B درست هستند.

(۲) هر دو گزاره A و B نادرست هستند.

(۳) گزاره A نادرست است و گزاره B درست است.

(۴) گزاره A درست است و گزاره B نادرست است.

مشابه این مساله در نکته و تست معماری کامپیوتر بررسی شده است.

حل تست ۱۴- (گزینه ۴)

گزاره A صحیح است، چرا که اگر پردازنده دستورات خاص I/O داشته باشد، می‌توان به صورت Isolated I/O آدرس دهی شود، اما به صورت Memory Mapped هم می‌توان از آن استفاده کرد.

گزاره دوم، در عمل اتصال DMA به CPU از طریق وقفه است. بنابراین گزاره دوم صحیح نیست. چرا که هم بررسی آمادگی دستگاه I/O و هم تبادل داده نیاز به درگیری CPU ندارد.

۱۵- چهار سیستم کامپیوتر A, B, C و D دارای ساختاری کاملاً یکسان هستند و تنها در حافظه نهان مورد استفاده تفاوت دارند.

در سیستم A: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی LRU است.

در سیستم B: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی LRU است.

در سیستم C: نگاشت حافظه نهان 4-way set associative و سیاست جایگزینی FIFO است.

در سیستم D: نگاشت حافظه نهان 2-way set associative و سیاست جایگزینی FIFO است.

هر چهار سیستم برنامه‌ای یکسان را اجرا می‌کنند. نرخ برخورد حافظه نهان در سیستم A برابر h_{4-LRU}

سیستم B برابر h_{2-LRU} ، سیستم C برابر h_{4-FIFO} و سیستم D برابر h_{2-FIFO} است.

کدام گزینه در خصوص نرخ برخورد در این سیستم‌ها درست است؟

(۱) قطعاً $h_{4-LRU} \geq h_{2-LRU}$ و $h_{4-FIFO} \geq h_{2-FIFO}$ است.

(۲) قطعاً $h_{2-LRU} > h_{4-LRU}$ و $h_{2-FIFO} > h_{4-FIFO}$ است.

(۳) قطعاً $h_{4-LRU} \geq h_{2-LRU}$ ولی ممکن است $h_{4-FIFO} < h_{2-FIFO}$ باشد.

(۴) قطعاً $h_{4-FIFO} > h_{2-FIFO}$ ولی ممکن است $h_{2-LRU} > h_{4-LRU}$ باشد.

حل تست ۱۵- (گزینه ۳)

با توجه به گزینه‌ها، لازم است hit rate سیستم A و B و hit rate سیستم C و D را مقایسه کنیم.

زمانی که تعداد راه‌های حافظه نهان set associative افزایش می‌یابد، اگر سیاست جایگزینی درست انتخاب شود، به دلیل کاهش

conflict miss، میزان hit-rate می‌تواند افزایش یابد و یا ثابت بماند. پس:

$$h_{4-LRU} \geq h_{2-LRU}$$

اما اگر سیاست جایگزینی FIFO باشد، ممکن است تعداد miss ها افزایش یابد. چرا که سیاست FIFO می‌تواند داده‌های مورد

نیازی که قبلاً در حافظه نهان قرار گرفته را حذف کند.

$$h_{4-FIFO} < h_{2-FIFO}$$

۱۶- در یک کامپیوتر فرمت اعداد ممیز شناور به صورت زیر است:

1	3 bits	4 bits
S	E	M

که نشان‌دهنده ارزش عددی $(-1)^S \times 0.M \times 2^{E-4}$ است.

کدام گزینه، نشان‌دهنده حاصل جمع دو عدد -3.875 و -1.125 در این کامپیوتر است؟

(۱) -4.875 با نمایش FE

(۲) -4.75 با نمایش FB

(۳) -4.5 با نمایش F9

(۴) -5 با نمایش FA

در توضیحاتی که در کانال داده ام و همچنین در کلاس رفع اشکال معماری کامپیوتر اشاره کرده بودم که احتمال این نوع تست وجود دارد. (عملیات بر روی اعداد ممیز شناور و سپس نمایش)

حل تست ۱۶- (گزینه ۳)

ابتدا عدد -3.875 را در قالب داده شده نمایش می‌دهیم:

$$-3.875 = -11.111 = -0.11111 \times 2^2$$

با توجه به منفی بودن $S = 1$ است. با در نظر گرفتن بایاس ۴، $E_{biased} = 5 = 110$ خواهد بود. قسمت مانتیس هم برابر است با: 1111 (۴ بیتی)

پس در هنگام ذخیره لازم است عدد به صورت زیر ذخیره شود.

$(1, 110, 1111)$

این نشان دهنده این است که عدد -3.875 در هنگام ذخیره به عدد -3.75 تبدیل می‌شود.

عدد -1.125 را بر اساس فرمت داده شده نرمالیزه می‌کنیم.

$$-1.125 = -(1.001) = -0.1001 \times 2^1$$

با توجه به منفی بودن $S = 1$ است. با در نظر گرفتن بایاس ۴، $E_{biased} = 5 = 101$ خواهد بود. قسمت مانتیس هم برابر است با: 1001 (۴ بیتی)

پس در هنگام ذخیره لازم است عدد به صورت زیر ذخیره شود.

$(1, 101, 1001)$

اکنون جمع دو عدد ذخیره شده را به دست می‌آوریم، برای این منظور لازم است عدد دوم با عدد اول هم نما شود.

$$-0.1111 \times 2^2 + (-0.1001 \times 2^1) = (0.1111 + 0.01001) \times 2^2 = -(1.00111) \times 2^2$$

این عدد باید نرمالیزه شود:

$$-(1.00111) \times 2^2 = -(0.100111) \times 2^3$$

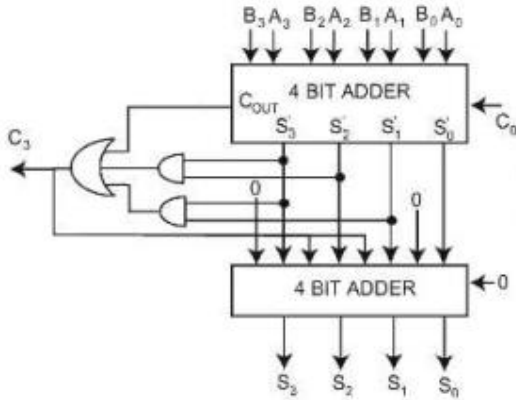
با توجه به مانتیس ۴ بیتی، چهار بیت اول قابل نمایش است:

$$-(0.1001) \times 2^3$$

نمایش عدد به صورت زیر است:

$$(1, 111, 1001) = F9_H$$

۱۷- مدار زیر یک جمع‌کننده دودویی تک‌رقمی را نشان می‌دهد. با به‌کارگیری این مدار جمع موازی (با انتشار رقم نقلی) دو عدد دودویی ۳ رقمی را انجام می‌دهیم. زمان این محاسبه برابر با زمان عملکرد کدام مدار است؟ (جعبه 4 BIT ADDER یک جمع‌کننده ۴ بیتی دودویی موازی با انتشار رقم نقلی است.)



- ۱) جمع‌کننده دودویی موازی ۱۰ بیتی با انتشار رقم نقلی
- ۲) جمع‌کننده دودویی موازی ۱۸ بیتی با انتشار رقم نقلی
- ۳) جمع‌کننده دودویی موازی ۱۸ بیتی با پیش‌بینی رقم نقلی
- ۴) جمع‌کننده دودویی موازی ۱۰ بیتی با پیش‌بینی رقم نقلی

در آموزش درس معماری کامپیوتر و همچنین نکته و تست مشابه این مساله حل شده است.

یکی محاسبه تاخیر مدار BCD Adder و دیگری محاسبه تاخیر مدار RCA (جمع‌کننده دودویی)

حل تست ۱۷- (گزینه ۲)

تاخیر جمع‌کننده BCD سه رقمی به صورت زیر محاسبه می‌شود:

$$T_{BCD-Adder}(n \text{ digit}) = n \times 10T_G + 6T_G \xrightarrow{n=3} T_{BCD-Adder}(3 \text{ digit}) = 36T_G$$

تاخیر جمع‌کننده RCA n رقمی با فرض مساوی بودن تاخیر گیت‌ها برابر است با:

$$T_{RCA-nbit} = 2nT_G$$

با مقایسه این دو به راحتی مشخص است که تاخیر جمع‌کننده BCD سه رقمی، با تاخیر جمع‌کننده RCA ۱۸ بیتی برابر است.

۱۹- برای محاسبه عبارت $Y = [(A \times (B - C)) - (D \div E)] - [F \times (G + H)]$ بر روی یک پردازنده مبتنی بر Stack، بزرگترین اندازه Stack مورد نیاز کدام است؟

۴ (۲)

۳ (۱)

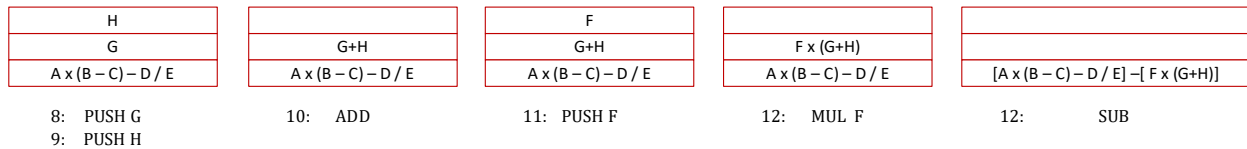
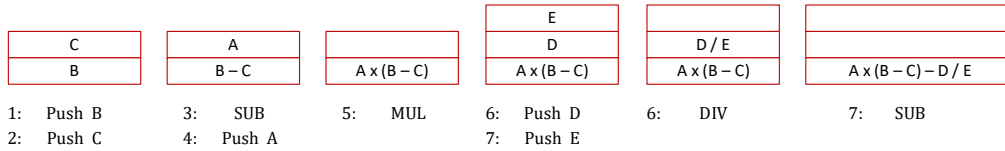
۸ (۴)

۵ (۳)

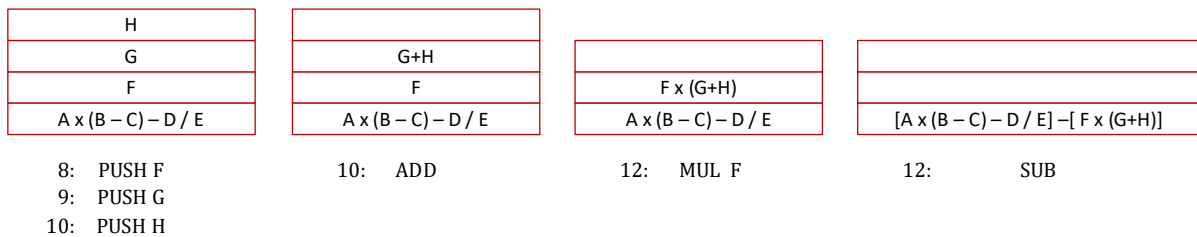
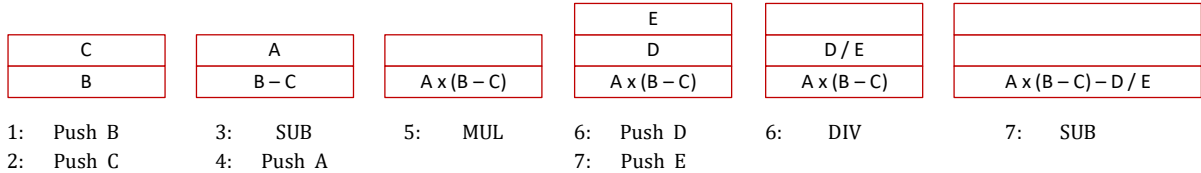
در آموزش نکته و تست معماری کامپیوتر، پردازنده‌های Stack Based را بررسی کرده‌ام.

حل تست ۱۹- (گزینه ۱ یا ۲)

دقت کنید اگر در عبارت $(F \times (G + H))$ ترتیب ضرب مهم نباشد به پشت‌های با سه سلول نیاز است.



اما اگر ترتیب ضرب در عبارت $F \times (G + H)$ مهم باشد به پشت‌های چهار سلولی احتیاج است.



۲۰- یک پردازنده خط‌لوله‌ای دارای ۸ مرحله با زمان‌های 1, 1.5, 1, 1, 1, 2.5, 1, 1 نانو ثانیه است. بیشترین تسریع این پردازنده در مقایسه با پیاده‌سازی Single Cycle این پردازنده کدام است؟

۴ (۲)

۳ (۱)

۸ (۴)

۶ (۳)

در آموزش معماری کامپیوتر و همچنین نکته و تست، مشابه این مساله حل شده است.

حل تست ۲۰- (گزینه ۲)

ابتدا در حالت غیرپایپلاین و single cycle :

$$T_{N-instruction}^{non-pipe} = N(1 + 1.5 + 1 + 1 + 1 + 2.5 + 1 + 1) = N \times 10^{ns}$$

در حالت پایپلاین، با توجه به نابرابری زمان اجرای مراحل:

$$T_{N-instruction}^{pipeline} = (N + K - 1) \times MaxT_{Si} = (N + 8 - 1) \times 2.5^{ns}$$

$$S = \frac{T_{N-instruction}^{non-pipe}}{T_{N-instruction}^{pipeline}} = \frac{N \times 10^{ns}}{(N + 8 - 1) \times 2.5^{ns}} = 4$$

برای N بزرگ.