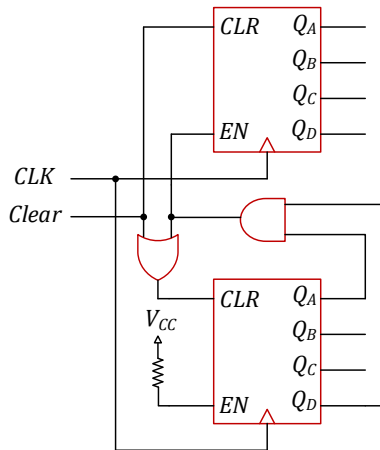


### حل تشریحی تست‌های مدارهای منطقی سال ۹۸

**تست ۶۵ -** در مدار زیر ورودی‌های CLR و EN همگام با کلاک هستند. اگر  $EN = 1$  باشد با هر کلاک یک شمارش انجام می‌شود.  $Q_A$  خروجی با بیشترین ارزش (MSB) است. مدار زیر چه عملی را انجام می‌دهد؟



- (۱) شمارش مبنای ۱۰۰
- (۲) شمارش مبنای ۱۲۰
- (۳) شمارش مبنای ۱۴۰
- (۴) شمارش مبنای ۱۶۰

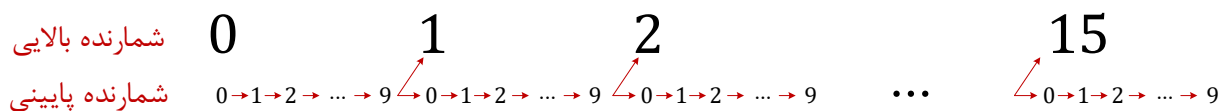
#### حل تست ۶۵ - (گزینه ۴)

در این مدار دو شمارنده باینری ۴ بیتی دیده می‌شود. فرض کنید در ابتدا پایه Clear فعال شود. در این صورت، مقدار هر دو شمارنده صفر می‌شود.

پایه En شمارنده پائینی همواره فعال ('1') است. در نتیجه اگر پایه CLR فعال نباشد، با هر پالس ساعت یکی می‌شمارد. تا به مقدار  $Q_A Q_B Q_C Q_D = 1001$  برسد. در این صورت  $Q_A \cdot Q_D = 1$  می‌شود و پایه CLR این شمارنده فعال می‌شود و در پالس بعدی شمارنده صفر خواهد شد. در واقع همواره شمارنده پائینی دارای شمارش زیر خواهد بود.



همانطور که اشاره شد، با رسیدن شمارنده به 9 پایه Clear فعال می‌شود و در پالس ساعت بعد شمارنده صفر می‌شود، اما به صورت همزمان پایه En (فعال‌ساز) شمارنده بالا فعال می‌شود و شمارنده بالایی یک واحد افزایش می‌یابد. در واقع به ازای هر شمارش از 0 تا 9 شمارنده پایینی، شمارنده بالایی یک واحد افزایش می‌یابد. شکل زیر چگونگی شمارش این دو شمارنده را نشان می‌دهد.



پس از رسیدن شمارنده بالایی به 15 و شمارنده پایینی به 9 مجدداً هر دو شمارنده صفر می‌شوند و این روند ادامه می‌یابد. بنابراین خروجی این دو شمارنده از صفر تا ۱۵۹ را شمارش می‌کند که مبنای ۱۶۰ خواهد بود.

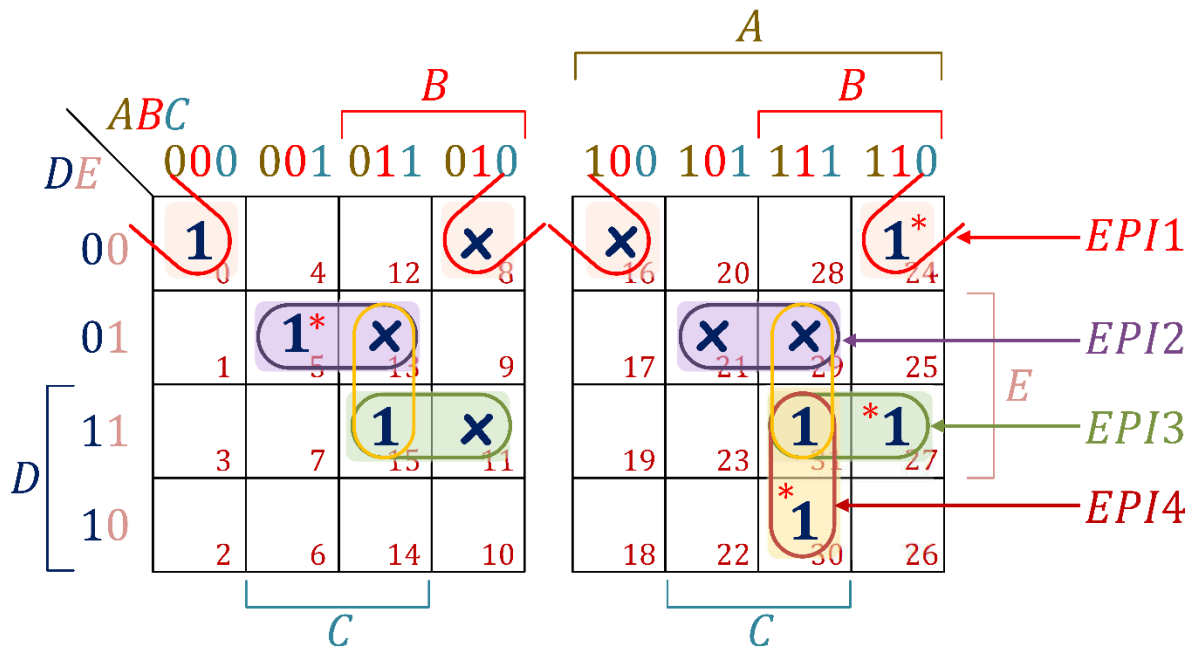
تست ۶۶- ساده ترین عبارت برای تابع زیر به شکل حاصل جمع ضربها (SOP)، چند جمله دارد؟

$$f(A, B, C, D, E) = \sum m(0, 5, 15, 24, 27, 30, 31) + d(8, 11, 13, 16, 21, 29)$$

(۱) ۳ (۲) ۴ (۳) ۵ (۴) ۶

حل تست ۶۶ - (گزینه ۲)

ابتدا تابع  $f$  را در جدول کارنوی شکل زیر قرار نمایش می دهیم.



همانطور که مشخص است این تابع دارای ۴ EPI است که با انتخاب آنها تمامی مین ترم ها پوشش داده می شود. بنابراین تابع دارای ۴ جمله خواهد بود.

**تست ۶۷-** در توصیف زیر، کدام مورد درست است؟ (هر دو کد یک مدار را توصیف می‌کنند).

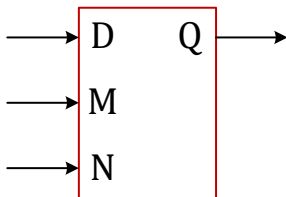
```
module DQ(Q, D, M, N);
    output Q;
    input D, M, N;
    reg Q;
    always @(posedge M or negedge N);
        if (N == 0) Q = 1'b0;
        else Q = D;
endmodule (نسخه Verilog)
```

```
architecture ARCH of DQ is
begin
    process (M,N)
    begin
        if (N = '0') then
            Q <= '0';
        elsif (rising-edge(M)) then
            Q <= D;
        endif;
    end process;
end ARCH; (نسخه VHDL)
```

- (۱) توصیف یک فلیپ‌فلاپ است. M کلاک و N بازنشانی ناهمگام (Async reset) است.
- (۲) توصیف یک فلیپ‌فلاپ است. M کلاک و N بازنشانی همگام (Sync reset) است.
- (۳) توصیف یک لچ است. M فعال‌ساز و N بازنشانی ناهمگام (Async reset) است.
- (۴) توصیف یک لچ است. M فعال‌ساز و N بازنشانی همگام (Sync reset) است.

### حل تست ۶۶ - (گزینه ۱)

با توجه به اینکه در همایش وریلاگ این تست را حل کردم، در اینجا هم تنها به توصیف وریلاگ این مدار می‌پردازم. همانطور که مشخص است مدار دارای ۳ ورودی و ۱ خروجی است که در شکل زیر نشان داده شده است.

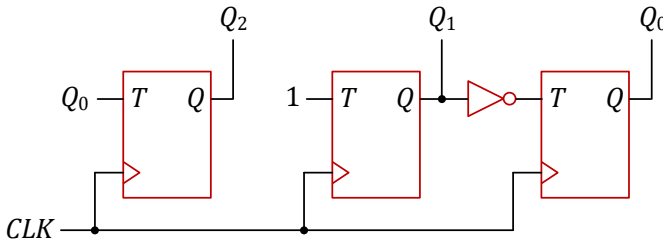


در عبارت *always* لیست حساسیت‌ها مشخص شده است، مدار به لبه بالارونده (لبه مثبت) M و لبه پایین رونده (لبه منفی) N حساس است. درون عبارت *always* ابتدا سیگنال N بررسی می‌شود و در صورت صفر بودن، خروجی Q صفر می‌شود. با در نظر گرفتن لیست حساسیت که به لبه پایین رونده N حساس است و با عبارت بعد که اگر N صفر باشد، خروجی Q صفر می‌شود، کاملاً مشخص است که این دو بخش به هم کاملاً مرتبط هستند. اما در صورتی که لبه مثبت M دیده شود، و N صفر نباشد، D به خروجی Q منتقل می‌شود.

نتیجه M پالس ساعت (CLK) است.

N ورودی Reset است. اما به دلیل اینکه عملکرد آن مستقل از پالس ساعت است، یک پایه کنترلی آسنکرون است.

**تست ۶۸-** مدار زیر را در نظر بگیرید که از سه فلیپ فلاپ T تشکیل شده و دارای خروجی با ترتیب  $(Q_2Q_1Q_0)$  است. توالی تولید شده توسط این مدار بعد از ریست (000)، کدام است؟



- (۱)  $000 \rightarrow 011 \rightarrow 011 \rightarrow 011 \rightarrow 011$
- (۲)  $000 \rightarrow 011 \rightarrow 110 \rightarrow 010$
- (۳)  $000 \rightarrow 011 \rightarrow 101 \rightarrow 010$
- (۴)  $000 \rightarrow 011 \rightarrow 101 \rightarrow 110 \rightarrow 100$

**حل تست ۶۸ - (گزینه ۳)**

ابتدا مدار را در وضعیت صفر (000) در نظر می‌گیریم و با توجه به ورودی‌های هر FF، حالت بعد را مشخص می‌کنیم.

$$Q_2 = 0 \xrightarrow{T_2 = Q_0 = 0 \text{ No Change}} Q_2 = 0$$

$$Q_1 = 0 \xrightarrow{T_1 = 1 \text{ Toggle}} Q_1 = 1$$

$$Q_0 = 0 \xrightarrow{T_0 = \bar{Q}_1 = 1 \text{ Toggle}} Q_0 = 1$$

همانطور که ملاحظه می‌شود ورودی FFها بر اساس حالت موجود مشخص می‌شوند و پس از اعمال لبه بالارونده پالس ساعت، حالت بعدی (011) خواهد شد. همین مراحل را برای مشخص کردن حالت‌های بعدی استفاده می‌کنیم.

$$Q_2 = 0 \xrightarrow{T_2 = Q_0 = 1 \text{ Toggle}} Q_2 = 1$$

$$Q_1 = 1 \xrightarrow{T_1 = 1 \text{ Toggle}} Q_1 = 0$$

$$Q_0 = 1 \xrightarrow{T_0 = \bar{Q}_1 = 0 \text{ No Change}} Q_0 = 1$$

عبارات بالا نشان می‌دهد، پس از حالت 011، مدار به حالت 101 می‌رود. با ادامه این روند:

$$Q_2 = 1 \xrightarrow{T_2 = Q_0 = 1 \text{ Toggle}} Q_2 = 0$$

$$Q_1 = 0 \xrightarrow{T_1 = 1 \text{ Toggle}} Q_1 = 1$$

$$Q_0 = 1 \xrightarrow{T_0 = \bar{Q}_1 = 1 \text{ Toggle}} Q_0 = 0$$

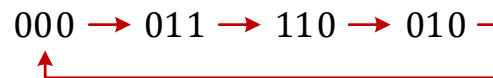
و در نهایت پس از آنکه مدار در حالت 010 قرار گرفت و مجدداً به مدار پالس ساعت اعمال شد به دست می‌آید:

$$Q_2 = 0 \xrightarrow{T_2 = Q_0 = 0 \quad \text{No Change}} Q_2 = 0$$

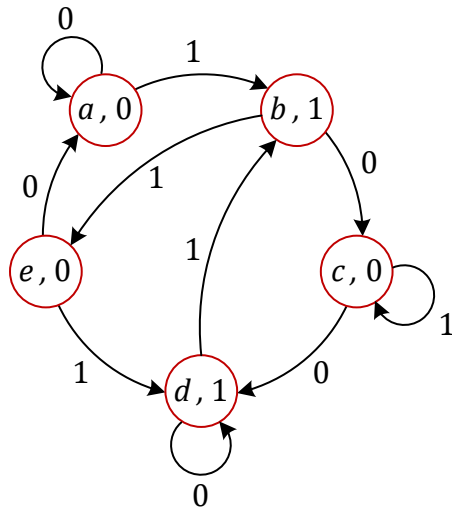
$$Q_1 = 1 \xrightarrow{T_1 = 1 \quad \text{Toggle}} Q_1 = 0$$

$$Q_0 = 0 \xrightarrow{T_0 = \bar{Q}_1 = 0 \quad \text{No Change}} Q_0 = 0$$

در نتیجه مدار به ترتیب در حالت‌های زیر قرار می‌گیرد:



**تست ۶۹ -** نمودار حالت ماشینی به صورت زیر است. اگر ابتدای کار، ماشین در حالت  $b$  و ورودی‌ها به صورت  $10110100$  باشند، کدام خروجی درست است؟ (ترتیب اعمال ورودی‌ها از بیت چپ به راست است).



100100101 (۱)

110001101 (۲)

101100100 (۳)

100100010 (۴)

**حل تست ۶۹ - (گزینه ۱)**

بهترین روش برای حل اینگونه تست‌ها، مشخص کردن حالت‌های مدار پس از اعمال ورودی مشخص شده به مدار و در مرحله بعد تعیین خروجی مدار است.

در ابتدا مدار در حالت  $b$  قرار دارد. در این حالت اگر ورودی مدار  $1$  (اولین ورودی مشخص شده) باشد، با آمدن پالس ساعت، مدار به حالت  $e$  می‌رود.

در حالت  $e$  اگر ورودی مدار  $0$  باشد، پس از پالس ساعت، وضعیت مدار  $a$  خواهد شد.

در حالت  $a$  اگر ورودی مدار  $1$  باشد، بعد از لبه پالس ساعت، مدار به  $b$  تغییر وضعیت می‌دهد.

در حالت  $b$  چنانچه ورودی  $1$  باشد، با اعمال پالس ساعت، وضعیت مدار به حالت  $e$  منتقل می‌شود.

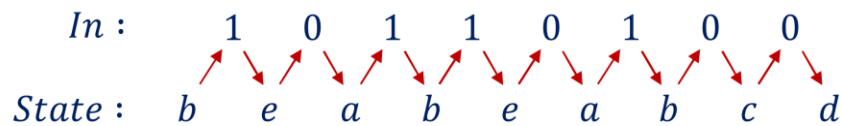
در حالت  $e$  در صورتی که ورودی  $0$  باشد، آمدن پالس ساعت سبب می‌شود مدار به حالت  $a$  منتقل شود.

در حالت  $a$  و با ورودی  $1$  و بعد از دیده شدن لبه پالس ساعت، مدار به حالت  $b$  تغییر حالت می‌دهد.

در حالت  $b$  و با در نظر گرفتن ورودی  $0$  و پس از لبه پالس ساعت، حالت مدار  $c$  می‌شود.

در آخر اگر مدار در حالت  $c$  و ورودی مدار  $0$  باشد، مدار به وضعیت نهایی  $d$  می‌رسد.

این توضیحات به صورت خلاصه در شکل زیر نمایش داده شده است.



اکنون برای به دست آوردن خروجی مدار ابتدا لازم است به این نکته توجه شود که مدار از نوع Moore است. (چرا؟) در مدارهای Moore خروجی مدار تنها به State (حالت) وابسته است. در نتیجه خروجی به سادگی و بر اساس نمودار حالت داده شده، به صورت زیر تعیین می‌شود.

<i>State :</i>	<i>b</i>	<i>e</i>	<i>a</i>	<i>b</i>	<i>e</i>	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>
	↓	↓	↓	↓	↓	↓	↓	↓	↓
<i>Output :</i>	1	0	0	1	0	0	1	0	1